

BEST AVAILABLE COPY

METHOD FOR MANUFACTURING INTEGRATED CIRCUIT DEVICE

Publication number: JP2001230421

Publication date: 2001-08-24

Inventor: CHANDROSS EDWIN A; DODABALAPUR ANANTH;
KATZ HOWARD EDAN; RAJU VENKATARAM REDDY

Applicant: LUCENT TECHNOLOGIES INC

Classification:

- international: G02F1/136; G02F1/1368; G09F9/30; H01L21/336;
H01L23/52; H01L27/12; H01L27/28; H01L29/786;
H01L51/05; H01L51/30; H01L51/40; G02F1/13;
G09F9/30; H01L21/02; H01L23/52; H01L27/12;
H01L27/28; H01L29/66; H01L51/05; (IPC1-7):
H01L29/786; G02F1/1368; G09F9/30; H01L21/336;
H01L27/12; H01L51/00

- european: H01L29/786A; H01L21/336D2C; H01L51/05B2B6

Application number: JP20000372277 20001207

Priority number(s): US19990456210 19991207

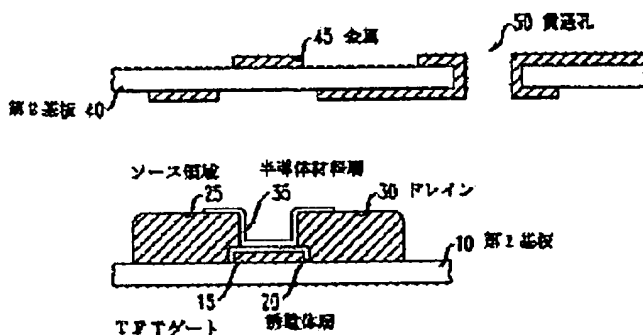
Also published as:

US6197663 (B1)

Report a data error here

Abstract of JP2001230421

PROBLEM TO BE SOLVED: To provide a method of manufacturing an integrated circuit device. SOLUTION: An integrated circuit device includes a plurality of TFTs and an electrical connection structure. In a process according to the present invention, at least part of constituent elements of the TFT are formed on the first substrate 10; at least an interconnection structure is formed on the second substrate 40; these two substrates 10, 40 are laminated to form an integrated circuit device having the TFTs.



Data supplied from the esp@cenet database - Worldwide

THIS PAGE LEFT BLANK

RESULT LIST

2 results found in the Worldwide database for:

jp2001230421 (priority or application number or publication number)

(Results are sorted by date of upload in database)

1 ZOOM LENS ADJUSTING METHOD, IMAGING DEVICE ADJUSTING METHOD, ZOOM LENS AND THE IMAGING DEVICE

Inventor: ARITA SHINICHI; KANAMORI SHIGE; (+1) Applicant: SONY CORP

EC:

IPC: **G02B7/02; G02B7/09; G02B7/10** (+15)

Publication info: **JP2003043328** - 2003-02-13

2 METHOD FOR MANUFACTURING INTEGRATED CIRCUIT DEVICE

Inventor: CHANDROSS EDWIN A; DODABALAPUR ANANTH; (+2) Applicant: LUCENT TECHNOLOGIES INC

EC: H01L29/786A; H01L21/336D2C; (+1)

IPC: **G02F1/136; G02F1/1368; G09F9/30** (+22)

Publication info: **JP2001230421** - 2001-08-24

Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-230421

(P2001-230421A)

(43) 公開日 平成13年8月24日 (2001.8.24)

(51) Int.Cl. ⁷	識別記号	F I	ページコード* (参考)
H 0 1 L 29/786		C 0 9 F 9/30	3 3 8
21/336		H 0 1 L 27/12	C
G 0 2 F 1/1368		29/78	6 1 6 K
G 0 9 F 9/30	3 3 8	C 0 2 F 1/136	5 0 0
H 0 1 L 27/12		H 0 1 L 29/28	

審査請求 未請求 請求項の数 7 O L (全 7 頁) 最終頁に続く

(21) 出願番号 特願2000-372277(P2000-372277)

(22) 出願日 平成12年12月7日 (2000.12.7)

(31) 優先権主張番号 09/456210

(32) 優先日 平成11年12月7日 (1999.12.7)

(33) 優先権主張国 米国 (US)

(71) 出願人 59607/259

ルーセント テクノロジーズ インコーポ
レイテッド

Lucent Technologies
Inc.

アメリカ合衆国 07974 ニュージャージ
ー、マレーヒル、マウンテン アベニュー
600-700

(74) 代理人 100064447

弁理士 岡部 正夫 (外12名)

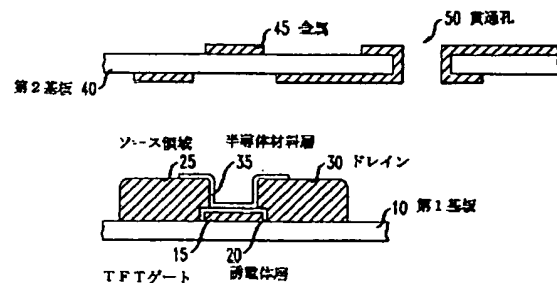
最終頁に続く

(54) 【発明の名称】 集積回路デバイスの製造方法

(57) 【要約】

【課題】 集積回路デバイスの製造方法を提供すること。

【解決手段】 集積回路は、複数のTFTと電気的接続構造を含む。本発明のプロセスにおいては、TFTの少なくとも一部の構成要素を第1基板10上に形成する。少なくとも相互接続構造を第2基板40上に形成する。この2枚の基板10、40を積層して、TFTを有する集積回路デバイスを形成する。



【特許請求の範囲】

【請求項1】(A) 第1基板(10)上に薄膜トランジスタの少なくとも一部を形成するステップと、

(B) 第2基板(40)の上に相互接続構造を形成するステップと、

(C) 前記第1基板(10)を第2基板(40)に積層するステップとを有し、これにより前記薄膜トランジスタを相互接続構造に電気的に接続することを特徴とする集積回路デバイスの製造方法。

【請求項2】前記薄膜トランジスタは、ゲートとゲート誘電体と半導体とソースとドレインとを有することを特徴とする請求項1記載の方法。

【請求項3】前記薄膜トランジスタ全体を前記第1基板(10)上に形成することを特徴とする請求項2記載の方法。

【請求項4】前記薄膜トランジスタのゲートとゲート誘電体と半導体とを第1基板(10)上に形成し、前記薄膜トランジスタのソースとドレインを第2基板(40)上に形成することを特徴とする請求項2記載の方法。

【請求項5】前記半導体は、有機半導体であることを特徴とする請求項4記載の方法。

【請求項6】前記半導体は、無機半導体であることを特徴とする請求項4記載の方法。

【請求項7】ことを特徴とする請求項6記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数の薄膜トランジスタ(thin film transistor; TFT)を有する半導体デバイスと相互接続構造の製造方法に関する。

【0002】

【従来の技術】薄膜トランジスタ(TFT)は公知であり、商業的にかなり重要なものである。アモルファスシリコンベースの薄膜トランジスタは、活性マトリクス液晶ディスプレイで用いられている。薄膜トランジスタの利点の1つは、それらを製造するのに用いる材料及び技術の両方の点から低コストである点である。

【0003】

【発明が解決しようとする課題】個々のTFTを出来るだけ安価に製造すること以外にTFTを含む集積回路デバイスを安価に製造することが望ましい。これはTFTの製造のみならず集積回路を動作させるのに必要なTFTの相互接続構造も関連してくる。従って、本発明の目的は、TFTを具備した集積回路を安価に製造する方法を提供することである。

【0004】

【課題を解決するための手段】本発明は、薄膜トランジスタを有する集積回路の製造方法である。本発明のプロセスにおいては、TFTの少なくとも一部が第1のフレキシブルな基板の上に形成される。集積回路用の相互接

続構造が第2のフレキシブルな基板の上に形成される。この2枚のフレキシブルな基板を積層して重ね合わせて、あるいは結合して所望の半導体デバイスを形成する。TFT全体が第1の基板の上に形成されない場合(例えばTFTゲートとゲート誘電体層と半導体が第1基板上に形成されるがTFTのソースとドレインが形成されない場合)の場合には、第1基板上に形成されていない他のTFTの部分は、別の基板上に形成される(例、第2基板上に相互接続構造が形成される)。TFTの一部が第1基板上に形成され、残りの部分が第2基板上に形成されるような実施例においては、TFTは基板を積層することにより組み立てられる。

【0005】TFTとそれに関連する相互接続構造が形成された後、第1基板が第2基板に積み重ねられて集積回路を形成する。本発明の方法は多方面で利用できる点で利点がある。特に本発明のプロセスは、このプロセスのより技術的に難しい点及び時間のかかるプロセス(TFTソースとドレインとゲートの形成)が一方の基板上で行われ、より易しいプロセス(即ち相互接続構造の形成)が別の基板上で行われるために経済的である。2枚の異なる基板上にデバイスを形成することは、プロセス条件及び材料を幅広く選択できることを意味する。また本発明のプロセスによりデバイスの部分の並行な処理、即ち第1基板上の第1部分と第2基板上の第2部分の処理が可能となる。このような並列のプロセスにより時間が削減される。例えば所望の処理ステップが一方の基板上に既に形成された材料と構造体と適合性を有さない場合には、このプロセスステップは第2の基板上で実行することも出来る。

【0006】

【発明の実施の形態】本発明の方法においては、TFTを含む集積回路デバイスの第1部分が第1のフレキシブル基板(第1基板)上に形成される。この集積回路デバイスの第2部分が第2フレキシブルな基板(第2基板)上に形成される。第2基板上に形成された集積回路デバイスの部分は、少なくとも相互接続構造である。本発明の説明においては、この相互接続構造は集積回路内の個々のTFTを回路の外部の他のデバイスと電気的に接続するワイヤリングである。本発明は第1基板と第2基板を例に説明するが、3枚以上の基板を用いることも出来る。複数の基板を用いることにより、より少ない数の処理ステップが何れかの基板上で実行することが出来るために、より大きなフレキシビリティを有する。

【0007】本発明の一実施例においては、TFTの全ての構成部品(例、ソース、ドレイン、半導体、ゲート誘電体、ゲート)が第1基板上に形成される。第2の実施例においては、TFTの構成要素の一部(例、TFTゲート、ゲート誘電体、半導体)が第1基板上に形成され、TFTの構成部品の残りの部分(例、ソースとドレイン)が第2基板上に形成される。

【0008】本発明で使用される基板は、フレキシブルな基板である。本発明の説明においては、フレキシブルな基板は柔軟性があるが、脆くはない基板である。従って基板は、ガラス製あるいは結晶基板（シリコン）ではない。基板が曲げることが出来、且つ非常に薄く製造できる（その厚さがミリメートルよりも遙かに小さい）場合に好ましい。基板がリールトゥリールプロセスに適合性を有する場合には好ましい。この適切な基板の例としては、プラスチック、例えばポリマー製及びポリイミド製である。プラスチック製の基板は、フレキシブルな回路基板を製造するのに現在用いられており、当業者には公知であり本明細書では詳述しない。

【0009】プラスチック基板上にTFTを形成することは従来公知である。様々な材料及びプロセスを用いてこのようなTFTを形成できる。様々なTFTの形状が可能である。本発明の一実施例においては、ソースとドレインはプラスチック基板上に形成される。半導体材料がこのソースとドレイン上に形成され、ゲート誘電体とゲートがこの半導体材料の上部に形成される。図1に示す他の実施例においては、金属製あるいは導電性ポリマー製のTFTゲート15が第1基板10の上に形成される。誘電体層20がこのTFTゲート15の上に形成される。ソース領域25とドレイン30が誘電体層20の上に形成される。半導体材料層35はソース領域25とドレイン30の間に形成され、良好なオーミック接点がかこれら2つの電極の間に形成される。

【0010】相互接続構造が第2基板40の上に形成される。金属45が基板40の両面と第2基板40内の貫通孔50を貫通してパターン化して形成される。従来技術を用いて基板上に金属を堆積し、パターン化することが出来る。

【0011】様々な材料及び技術が本発明のTFTを形成するのに用いることが出来る。有機半導体材料がプラスチックと適合性を有するために好ましく、低コスト、軽量であり、且つフレキシブルなプラスチック基板を具備するデバイスを提供するために好ましい。その使用可能な導電率とキャリア移動度を有する有機材料が薄膜トランジスタデバイスの活性層として用いることが出来る。これに関しては米国特許出願第08/770,535号（出願日、1996年12月20日、発明の名称：Method of Making An Organic Thin Film Transistor、発明者：Zhenan Bao et al）に記載されている。有機デバイスは米国特許出願第09/087,201号（出願日、1998年5月29日、発明の名称：Thin-Film Transistor Monolithically Integrated With An Organic Light-Emitting Diode、発明者：Zhenan Bao et al）に記載されている。後者の特許出願は、活性層として有機層を有する発光ダイオード（LED）と半導体層として有機層を有するトランジスタとこれらのLEDとトランジスタがモノリシックに集

積された技術を開示している。

【0012】無機半導体材料も本発明のプロセスで用いるのに適したものである。プラスチック基板上に堆積することの出来る無機半導体材料の一例は、アモルファスシリコンとして堆積され（CVDにより）、そしてフラッシュアニール（flash anneal）により多結晶に変換される多結晶シリコンである。無機半導体材料の他の例は、アモルファスシリコン、カドミウムセレンアイド、カドミウムシリサイド、亜鉛シリサイド、テルリウムである。半導体材料は、デバイスの形成によりn型又はp型の何れかである。CMOSデバイスにおいては、n型半導体材料とp型半導体材料の両方が用いられる。

【0013】近年、電子デバイスの有機材料に関する研究は、これらの材料を処理する容易さを利用したパターン化方法にまで拡大している。例えば放射を用いて感光性有機材料をパターン化している。これに関しては、Drury, C. J., et al 著の「Low-Cost All-Polymer Integrated Circuits」Appl. Phys. Lett. Vol. 73, p. 108 (1998)を参照のこと。非光リソグラフィ方法は、半導体デバイスを製造するコスト及びフレキシビリティの点から利点がある。このような技術は、インクジェットプリント及びスクリーンプリントを含み、これに関しては、Z. Bao et al. 著の「High Performance Plastic Transistors Fabricated by Printing Techniques」Chem. Mater., Vol. 9, p. 1299 (1997)を参照のこと。これらの技術は、35 μm から 100 μm の解像度及びそれ以上の解像度を有する製造に用いられるのに適している。

【0014】35 μm 以下の特徴物を有するデバイスを製造するためには、より高い解像度の技術が必要である。平面状エラストマースタンプ（planar elastomeric stamp）を用いて、10 μm から 80 μm の寸法を有する特徴物のパターンをシリコン製基板上に刻印する技術は公知である。例えば、Kumar, A. et al. 著の「features of Gold Having Micrometer to Centimeter Dimensions Can Be Formed Through a Combination of Stamping with an Elastomeric Stamp and Alkanethiol 'Ink' Followed by Chemical Etching」APPL. PHYS. LETT., Vol. 63, p. 2002 (1993)を参照のこと。多くのアプリケーションに必要とされる臨界寸法（通常トランジスタのチャネル長）は、約10 μm 以下である。これら高い解像度のデバイスを得る他の製造方法が近年発表されている。このような製造方法は、マイクロモールディング／スクリーンプリンティング方法を組み合わせたものである。即ち、この製造方法は、臨界特徴物を規定する最近開発された高解像度技術（キャピラリー内のマイクロモールディング）と、デバイスの他の構成要素をパターン化する既存の低解像度方法（screen printing）を組み合わせたものである。これに関してはRogers, J., et al. 著の「No

nphotolithographic Fabrication of Organic Transistors With Micron Feature Sizes, Appl. Phys. Lett. Vol. 71, p. 2716 (1998)」を参照のこと。この方法においては、有機トランジスタは他の非光リソグラフ系で以前に達成したものよりも約50倍以上小さい(約2 μ mのチャネル長さの)有機トランジスタが製造できる。これにより、多くのアプリケーションの解像度の要件以上のものが得られる。

【0015】有機TFETを形成するのに用いられる上記の技術は、一般に適用できるものではない。上記に掲げた技術は、有機TFETを製造する現在公知の技術の例を示したものである。

【0016】有機半導体材料を用いることは、TFETデバイスの有機半導体材料とTFETデバイスの他の構成要素を形成するのに必要とされる溶剤及びエッチング剤との間の両立性(適合性)が無いために制限されている。例えば、金属製電極をパターン化するエッチング剤は強酸化剤であり、有機半導体材料とは通常両立しないものである。しかし、本発明の方法は、別々の基板上で行われる並列処理が含まれる。デバイスのある構成要素(例、デバイスの電極)を形成するのに必要なエッチング剤、溶剤等の材料は、デバイスの他の構成要素(有機半導体)と両立性を有さないために、この両立しない材料の間の接触は2枚の基板の間の処理を適宜分けることにより回避できる。かくして、接点を形成するのに用いられる金属エッチング剤が有機半導体に対し悪影響を及ぼす場合には、このエッチング剤と半導体との間の接触は、第1基板上に有機半導体を形成することにより回避できる。金属接点は、第2基板上に形成される。かくして、金属をパターン化するのに用いられる金属エッチング剤は、有機半導体には接触しない。従って、本発明のプロセスはTFETを形成する有機半導体の使用に対する処理要件を緩和している。

【0017】TFETデバイスと相互接続構造が形成された後、第1基板は第2基板に積層される。第1基板と第2基板は加熱、加圧、接着あるいはこれらの組み合わせを用いて一体にされる。市販されている導電性接着剤及び非導電接着剤を用いることが出来る。従って、導電性接着剤を用いて第2基板上の導体と導体とを接続することが出来る。同様に非導電性接着剤を用いて第1基板上の領域と第2基板上の他の領域を機械的に結合することが出来る。2枚の基板を結合する方法は、設計的選択事項である。

【0018】本発明は、TFETがその上に形成された第1基板を相互接続構造がその上に形成された第2基板に積層する実施例を例に説明する。しかし様々な組み合わせ(その全てが少なくとも第1基板を第2基板に接合する必要がある)が考えられる。この方法の柔軟さが本発明の利点の1つである。

【0019】例えば本発明の一実施例においては、TF

Tのゲートとゲート誘電体と半導体層が第1基板上に形成される。相互接続構造とTFETのソース接点とドレイン接点が第2基板上に形成される。その後この2枚の基板を積層して一体化する。

【0020】第二実施例においては、TFETのゲートとゲート誘電体と半導体層が第1基板上に形成される。TFETのソース接点とドレイン接点が第2基板上に形成される。相互接続構造が第3基板上に形成される。この3枚の基板を積層して一体化する。

【0021】第三実施例においては、TFETのゲートとゲート誘電体と半導体層とソース接点とドレイン接点が第1基板上に形成される。相互接続構造が第2基板上に形成される。さらに別の相互接続構造が第3基板上に形成される。これら3枚の基板を積層して一体化する。

【0022】第四実施例においては、TFETのゲート誘電体と半導体層が第1基板上に形成される。TFETのゲートと一部の相互接続構造が第2基板上に形成される。TFETのソース接点とドレイン接点及び相互接続構造が第3基板上に形成される。これらの基板をその後積層して一体化する。

【0023】第五実施例においては、TFETのゲート誘電体とゲートが第1基板上に形成される。半導体材料とソース接点とドレイン接点が第2基板上に形成される。相互接続構造が第2基板上に形成される。これら2枚の基板をその後積層して一体化する。

【0024】第六実施例においては、TFETのゲート誘電体と半導体層とソース接点とドレイン接点が第1基板上に形成される。TFETのゲートと相互接続構造が第2基板上に形成される。さらに相互接続構造が第3基板上に形成される。これら3枚の基板をその後積層して一体化する。

【0025】上記の全ての実施例においては、相互接続回路を具備した基板内、あるいは別の基板内の何れかに最終製品として必要とされる他の電子デバイスも具備される。このような他のデバイスは受動素子、例えばワイヤレス素子で通常使用される抵抗、インダクタ、キャパシタ、アンテナ等が含まれる。さらにこの例には発光ダイオード、電子泳動ディスプレイ素子、ポリマー分散液晶表示素子のようなディスプレイ素子の列を含む。他の例としては、ACエレクトロルミセントデバイス、強磁性液晶デバイス、センサーデバイスを含む。これら集積化された最終製品においては、第1基板上に形成された薄膜トランジスタは、相互接続基板あるいは他の基板上に含まれる他のデバイスを駆動するのに用いられ、そしてこれら全ての基板は、積層技術により一体化される。最終製品がセンサー(感光性材料あるいは化学反応性材料のトランジスタ)の場合には、基板と他の材料は励起(即ち、光又は化学物質)の分配を容易にするよう選択される。

【0026】図2の実施例においては、金製の層(厚さ

が100nm)がフレキシブルなポリイミド製の基板上に堆積される。従来のチタンあるいはクロムの接着層を用いて金属層を基板に接着させる。金製パターン化層110は、従来のリソグラフ技術を用いて形成され、元の金製パターン化層110の上に形成されたフォトレジスト層にないにパターンを規定する。フォトレジスト内のパターンが従来のエッチング技術を用いてその下の金属層に転写される。このパターン化された金属層は、デバイス(TFT)のゲート電極である。

【0027】誘電体層120が従来技術(スピンコートあるいは溶剤からのキャスト)を用いてパターン化された金製パターン化層110の上に形成される。誘電体層120の材料は、例、ポリイミド、グラスレジン、ベンゾシクロブタン(benzocyclobutene、即ち、CYCLOTENE、ダウケミカルの特許)である。誘電体層120の厚さは、約0.5 μ mである。次にソース電極130とドレイン電極140が形成される。これらの電極は、例えば導電性金属(例、金)、導電性ポリマー(ポリアニリン)あるいは導電性スクリーンプリントしたインクである。様々な従来技術(例、スクリーンプリンティング、シャドウマスクを介した真空蒸着、従来のブランケット金属化後の金属のリソグラフとエッチング)は、これらの電極をパターン化するのに適したものである。ソース電極130とドレイン電極140は、それぞれ大きな相互接続用パッド150と相互接続用パッド160を具備して形成される。これらのパッドによりソース/ドレインと第2基板上の相互接続構造との間の整合性及び相互接続が容易となる。相互接続基板が図2の個々のデバイスと最終製品の他の部品との間の所望の相互接続を与える。

【0028】図2のデバイスの製造を完成させるために半導体層170がソース電極130とドレイン電極140の近傍に、且つ接触して堆積される。(半導体層170の材料は、例えばdihexyl- α -quinquethiopheneである。)半導体材料と電極材料は、所望のオーミック接点を与えるよう選択される。所望のオーミック接点を与える電極材料は、カーボンベースの導電性インクと導電性ポリマー、金と金をコーティングした金属である。この時点で100を相互接続用基板に積層する。

【0029】本発明の方法の利点は、FETの少なくとも一部と相互接続構造が別々に設計され、並列処理シーケンスを用いて別々に製造できることである。複数の基板を製造することにより、各基板の処理条件を個別に最適化することが出来る。例えば、基板100上に薄膜FETを形成することは1 μ mの特徴(例えば、ソース電極とドレイン電極との間の距離)をパターン化する技術を使用する必要がある。これに対し、基板100上の薄膜FETが接続される相互接続構造は、それよりも繊細でない(例、50 μ mから250 μ mのオーダー)特徴を有すればよい。従って、特定の基板を製造する技術は適

宜選択することができる。即ち、第1基板上の特徴物を形成するのに用いられる高価、且つ時間のかかる技術は、第2基板上の特徴物を形成するのに用いることはない。

【0030】第1基板上にデバイスを形成し、第2基板上に相互接続構造を形成する実施例ではさらに別の利点がある。その理由は、相互接続構造を別個に形成し、第1基板上のデバイスの列を様々な方法で相互接続できるからである。これにより別の機能を具備するデバイスが得られる。

【0031】本発明の他の実施例においては、TFTは以下のプロセスで製造される。第1基板はMYLAR(E. I. DuPont de Nemours社の登録商標)製の基板でその上に導電性ストリップまたはラインが形成されている。この導電性ストリップは、ポリマーベースの導電体で、例えば、カーボン含有インクである。第2基板は、ITO(インジウム錫酸化物)をコーティングしたMYLARでその上に500nm厚のポリイミド製のゲート誘電体層を具備している。Regioregular(poly(3-hexylthiophene))は、ITOをコーティングしたMYLAR製基板の上にクロロホルムの溶剤から形成され、この基板はその上にポリイミド製のゲート誘電体層を具備する。この2枚の基板をその後圧接する。ポリマーベースの導電体の導電ストリップは、ソース電極とドレイン電極として機能し、ポリイミドは、ゲート誘電体である。ITOはゲートであり、ポリシオベン(polythiophene)は半導体である。

【0032】本発明のさらに別の実施例においては、第1基板はゲート電極、ゲート接点を形成して準備し、その上にTFTデバイスが形成される。ポリマー製の誘電体材料(例、ポリイミド)をこの基板の選択した領域に塗布(形成する)する。例えば、誘電体がゲート電極の上にプリントされる。その後、有機半導体材料を基板上に溶剤キャストニング又は、蒸着等の技術を用いて形成される。有機半導体の一例は、リジオレギュラーポリ(ヘキシルチオフェン)(regioregular poly(hexylthiophene))、 α , ω -ジヘキシル- α -セクシチオフェン(α , ω -dihexyl- α -sexithiophene)、 α , ω -ジヘキシル- α -クウィンクチオフェン(α , ω -dihexyl- α -quinquethiophene)、ペンタセン(pentacene)、銅ペルフルオロフタロシアニン(copper perfluorophthalocyanine)及びN,N'-ビス-(1H, 1H-ペンタデカフルオロオクチル)ナフタレン-1,4,5,8-テトラカルボキシリクジミド(N,N'-bis(1H, 1H-pentadecafluorooctyl)naphthalene-1,4,5,8-tetracarboxylic diimide)。第2基板はニッケル製の接着層と金製のフィルムでもってコーティングする。ヘキサデカネチオール(hexadecanethiol)パターンが金製のフィルムの上に規定され、チオールでカバーされていない金属は水溶性酸化(aqueous, oxygenated)の水酸化カリウム/シアン化カ

リウム (KOH/KCN) (金に対し) と硫酸/過酸化水素/磷酸/硫酸ニッケル ($H_2SO_4/H_2O_2/H_3PO_4/NiSO_4$) (ニッケルに対し) でもってエッチングされる。ソース電極とドレイン電極を含む残りの金属パターンを第1基板上に積層し、複数のFETを完成させ、そして相互接続を形成する。

【0033】第1基板と第2基板の間の上記の処理ステップにより、ミクロンサイズのチャンネル長と所望の上部接触形状が得られる。この上部接触形状は、実際のソースとドレインよりも遙かに大きいソース接点用パッドとドレインの接点用パッドを含む。例えば、第2基板上の金属のパターンをエッチングするのに用いられる反応剤は、第1基板上の半導体を化学的に劣化させることがある。2つの基板の間の処理を分けることにより反応剤を用いることが出来、更にまた反応剤と半導体との間の接触を回避することが出来る。更にまた金のような金属は弗化处理された有機半導体には充分良く接着しない。そして2枚の基板の間を処理を分けることにより、上記のような劣化の問題を回避することが出来る。

【0034】更に本発明の別の実施例によれば、ゲートと誘電体材料と半導体とは第1基板上に形成され、導電性カーボンのパターンは第2基板上に形成される。これら2枚の基板を積層してデバイスを形成する。

【図面の簡単な説明】

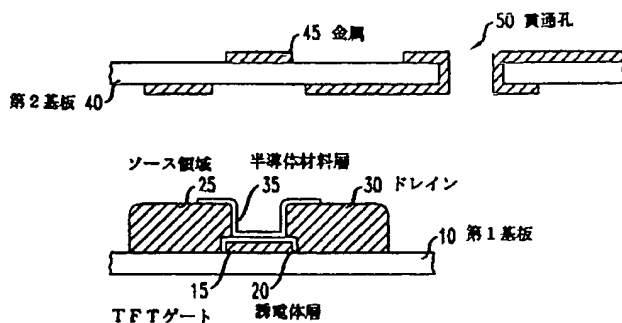
【図1】第1基板上に形成された薄膜トランジスタと第2基板上に形成された相互接続構造の断面図。

【図2】フレキシブルな基板上に形成された積層された薄膜トランジスタの平面図。

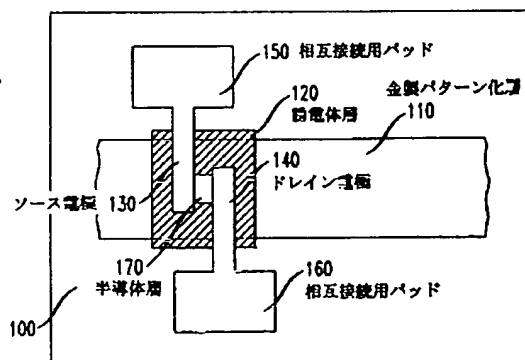
【符号の説明】

- 10 第1基板
- 15 TFTゲート
- 20 誘電体層
- 25 ソース領域
- 30 ドレイン
- 35 半導体材料層
- 40 第2基板
- 45 金属
- 50 貫通孔
- 100 基板
- 110 金製パターン化層
- 120 誘電体層
- 130 ソース電極
- 140 ドレイン電極
- 150, 160 相互接続用パッド
- 170 半導体層

【図1】



【図2】



フロントページの続き

(51)Int. Cl.⁷
H01L 51/00

識別記号

FI
H01L 29/78

(参考)

612C
627D

(71)出願人 596077259
600 Mountain Avenue,
Murray Hill, New Je
rsey 07974-0636 U. S. A.

(72)発明者 エドウィン アーサー チャンドロス
アメリカ合衆国、07974 ニュージャージ
ー、ムレイ ヒル、ハンタードン プルバ
ード 14

(72)発明者 アナンス ドダバラビュール
アメリカ合衆国、07946 ニュージャージー
ー、ミリングトン、ヒルトップ ロード
62

(72)発明者 ホワード エダン カッツ
アメリカ合衆国、07901 ニュージャージー
ー、サミット、バトラー パークウェイ
135

(72)発明者 ベンカタラム レディ ラジュ
アメリカ合衆国、07974 ニュージャージー
ー、ニュー プロビデンス、プリンストン
ドライブ 49